实验一 开发环境及工具介绍

一、实验目的

1. 掌握Verilog语言框架，编程及调试的方法
2. 熟悉Verilog的基本语法
3. 掌握Vivado开发平台及FPGA开发板的使用

二、实验内容

1. 在Vivado中完成一个工程的设计、编辑、综合和实现的全过程。
2. 完成基本电路模块的设计与测试。
3. 掌握电路的程序结构和风格。
4. 观察和分析仿真波形，注重输入输出之间的时序关系。

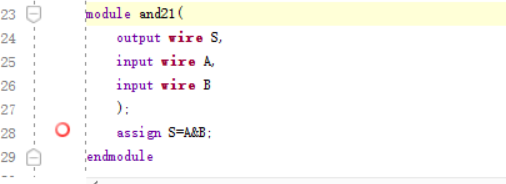
三、实验要求

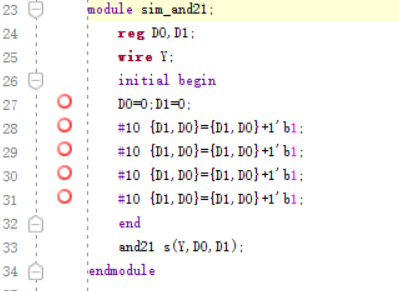
1. 画出模块的电路图（RTL分析）。
2. 分析电路的仿真波形
3. 记录设计和调试过程。

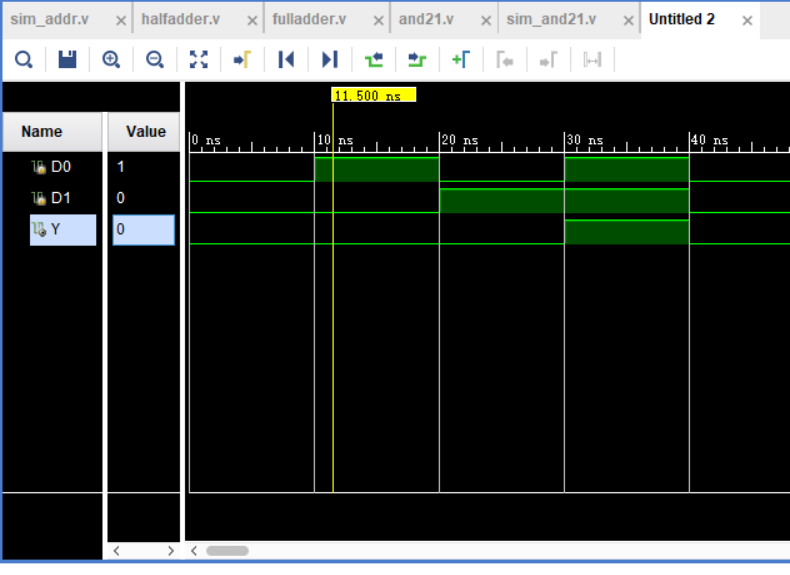
四、实验过程及结果分析

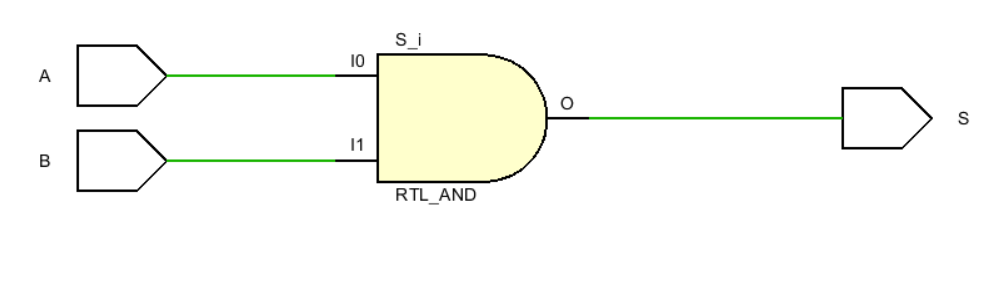
**对实验代码、仿真结果等进行分析说明，不能只贴截图。**

**2输入或门**





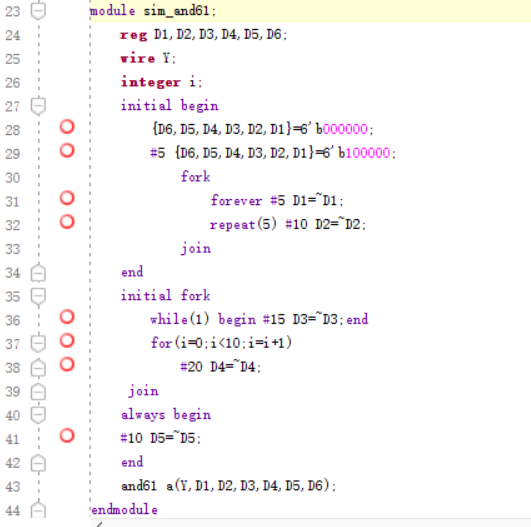
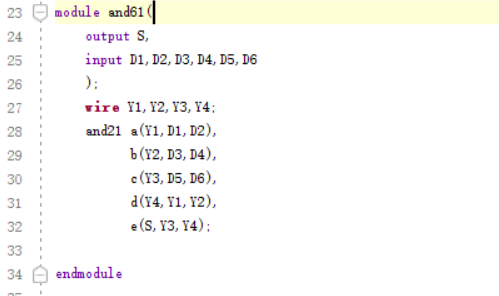




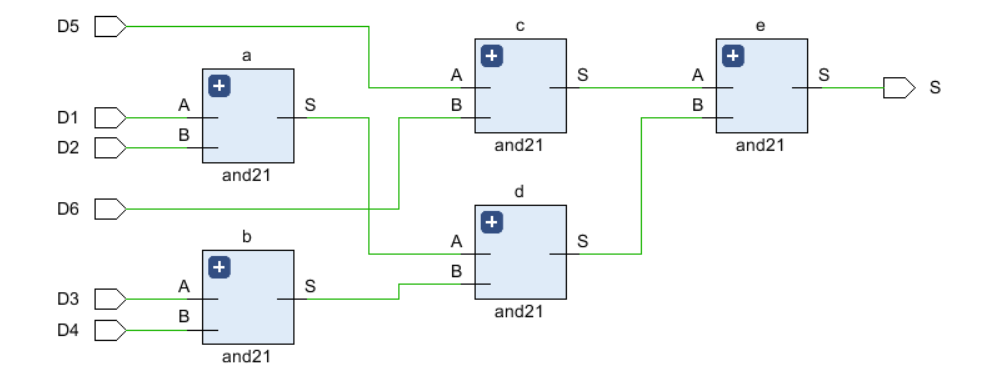
分析：定义输出S，输入A,B，并将输入输出都声明成wire类型的变量，然后让A和B相与的结果赋值给S

仿真时将A和B初始化为0，再每隔10ns让A和B构成的二进制数+1

**6输入与门**





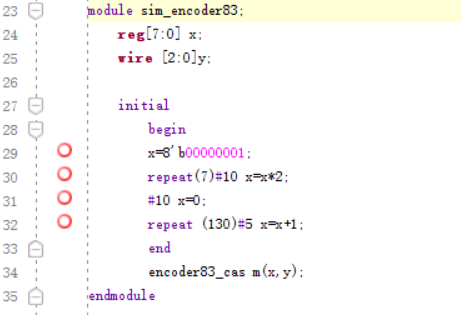


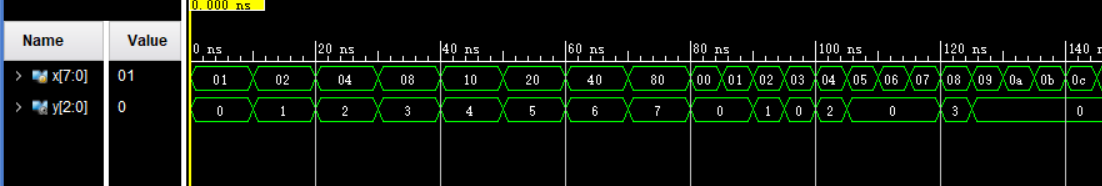
分析：6输入与门可以拆解成若干个2输入与门，首先将6个输入两两分组进行相与，得到3个结果再两两相与即可得到最终的结果S

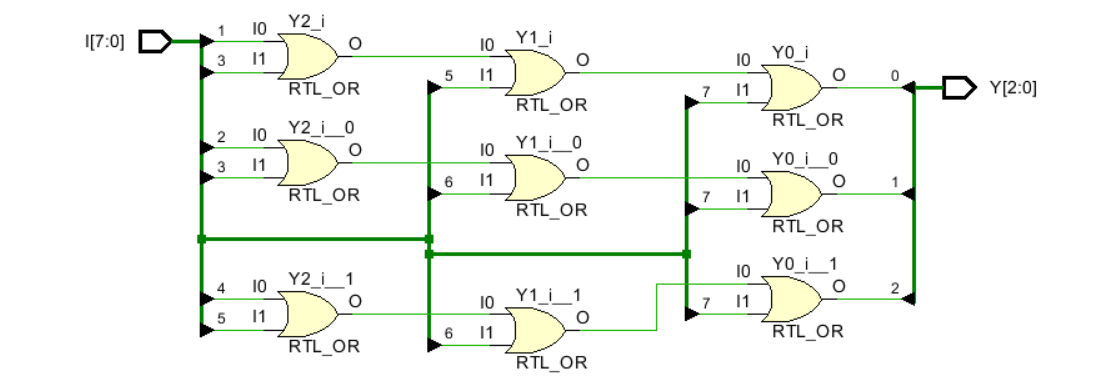
仿真时先将6个输入全部初始化为0，5ns过后将D6置1，再每隔5ns将D1取反，每隔15ns将D3取反，每隔10ns将D5取反，三个取反操作独立进行，直至仿真结束，与此同时，每隔10ns将D2取反重复5次，每隔20ns将D4取反重复10次，最终仿真结果与预期一致

**8-3编码器**





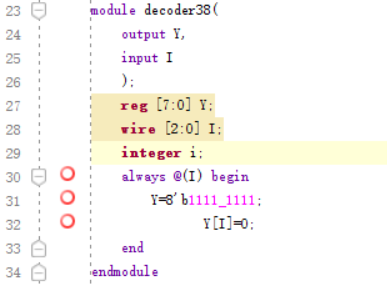


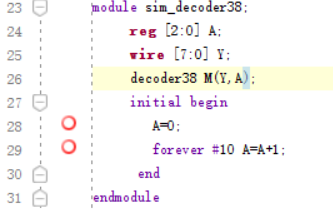
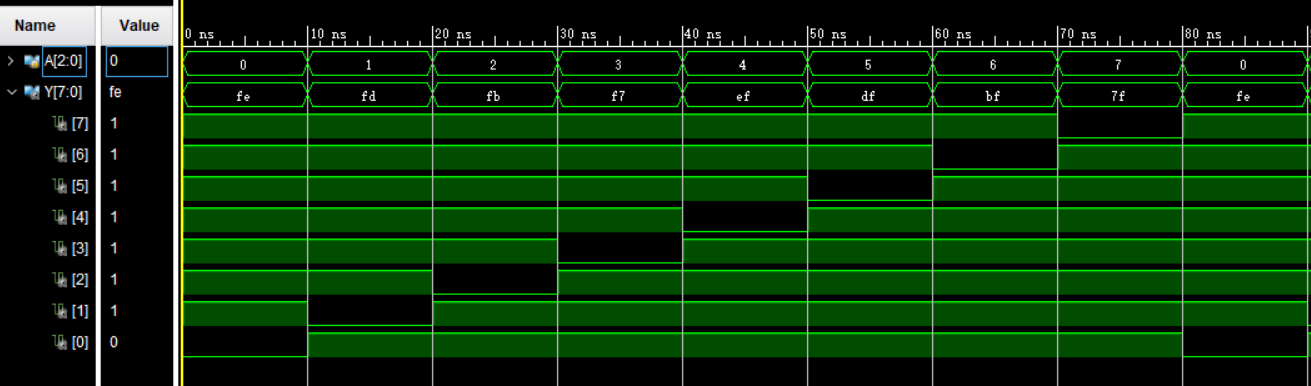


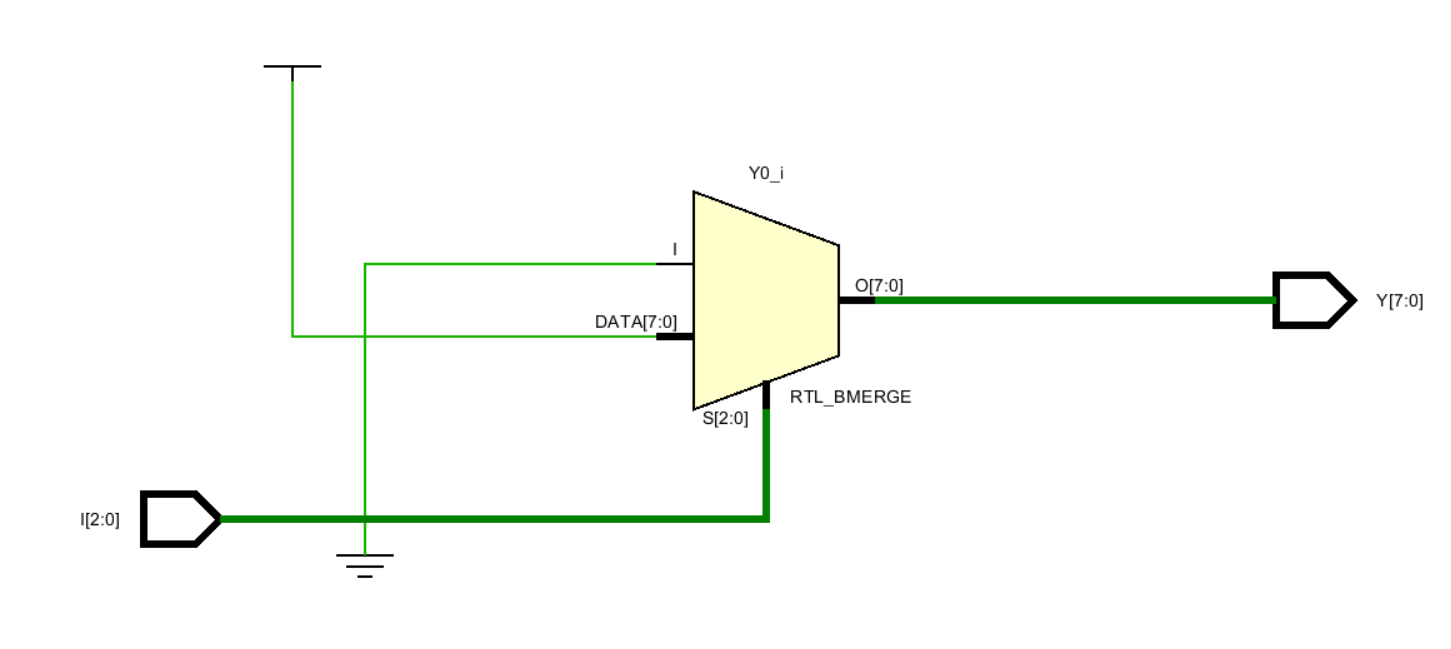
分析：输出Y为3位二进制数，输入I为8位二进制数，根据8-3编码器的真值表我们可以利用case分支语句按照I的输入得到输出Y，若输入I的值不在预期范围之内则将Y置0

仿真时先将输入x置1，再每隔10ns让输入x变为原来的两倍重复七次，循环结束10ns后将x置0，再每隔5ns对输入x进行+1操作重复130次，最后得到的结果与预期一致

**3-8译码器**

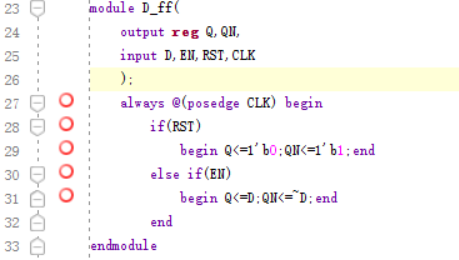


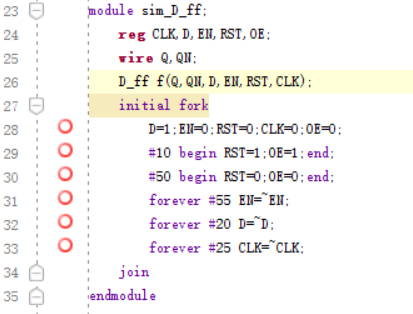
 

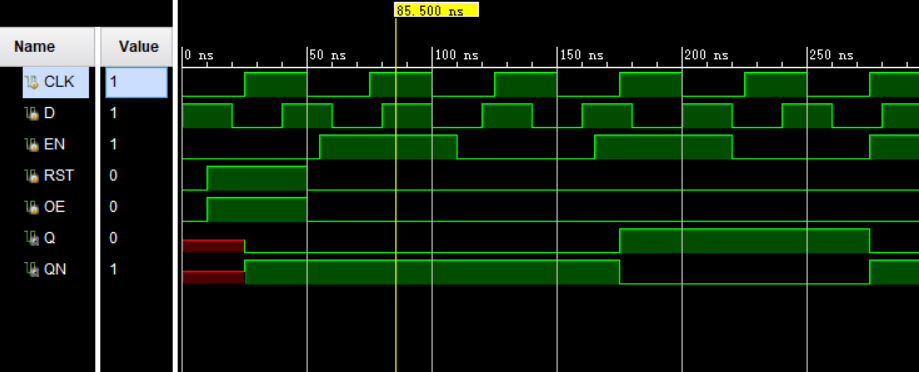


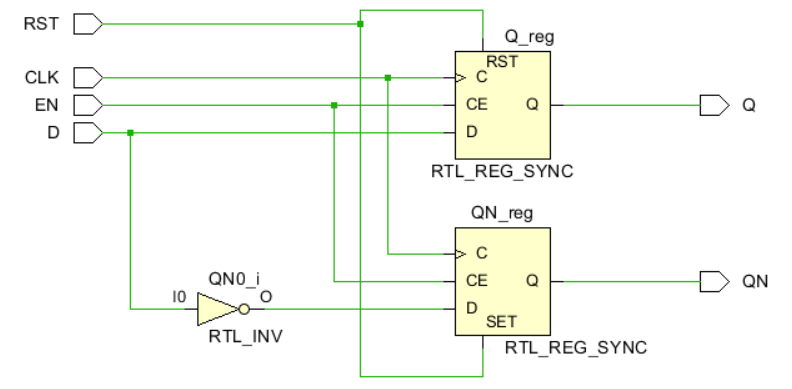
分析：根据3-8译码器的真值表我们可以发现当输入为三位二进制数I，输出为八位二进制数Y时，Y[I]的值为0，Y其余七位的值均为1，由此我们可以先将 Y的每一位全部初始化为1，再让Y[I]等于0即可

**触发器：**





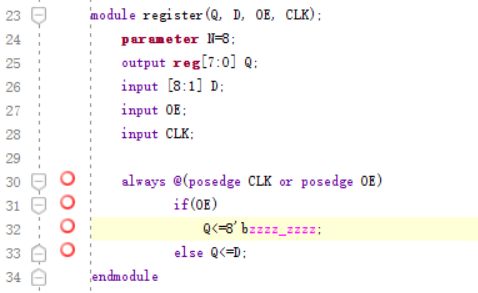


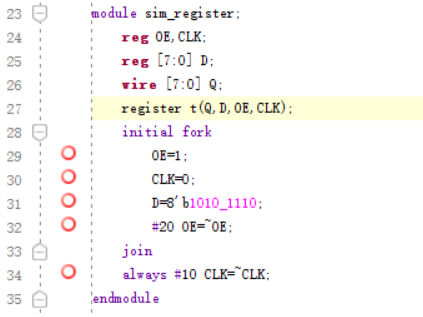


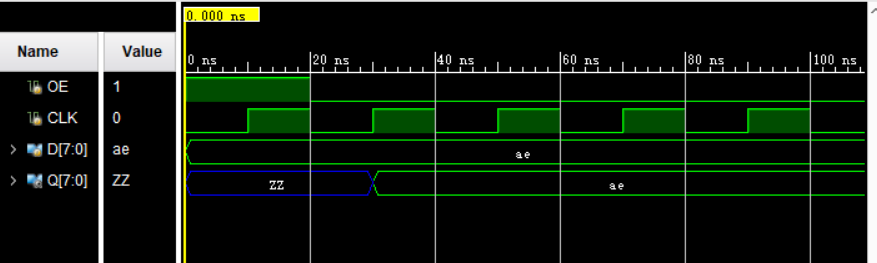
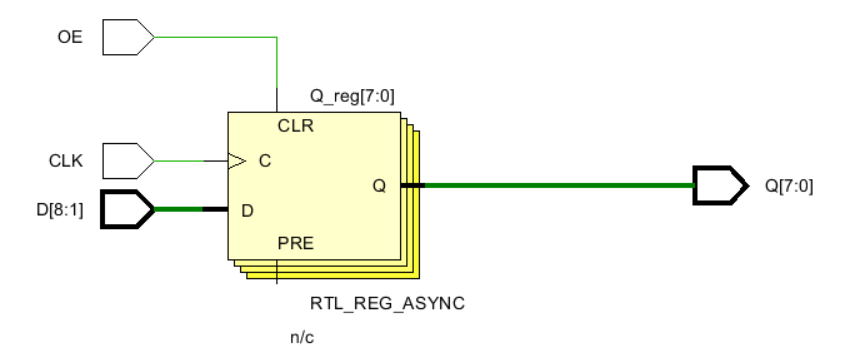
分析：D触发器当时钟脉冲信号CLK处于上升沿时才进行判定，若此时RST有效，则直接将Q置0，QN置1，若无效，再看使能端EN，若EN有效，则将D的值赋给Q，将~D的值赋给QN，若EN无效则保持原状。

仿真时将各信号进行不同的处理，每隔50nsCLK处于一次上升沿,最后结果与预期一致

**寄存器：**





分析：寄存器中若CLK和OE信号中有一个处于上升沿则进行判定，若此时OE有效，则将输出Q置为高阻态，若此时OE无效，则将D赋给输出Q

仿真时每隔10nsCLK信号翻转一次，每隔20nsOE信号翻转一次，最后的结果与预期一致

五、调试和心得体会

**记录实验过程中遇到的问题和调试解决过程，心得体会等。**

问题：第一次去机房上机看到未知的语言verilog时心里没底，人也比较多，同时只有两三位老师，面对全英文的软件自己看不懂，周围的同学也都不知道，老师也很忙，自己摸索了一节课也没弄出个所以然，到了课后向其他同学讨教，去网上搜相应的语法才感觉慢慢懂了一些，然后完成作业练习

心得：尽管开头比较狼狈，过程比较艰辛，但是看到最终的结果与预期一致的时候还是很高兴的，自己能动手完成一个东西并把它烧录到开发板上验证自己心中的结果。